

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hidetaka HATTORI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: POWER SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS

WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☐ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

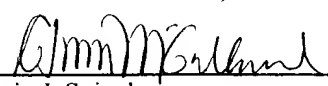
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2000-294316	September 27, 2000

Certified copies of the corresponding Convention Application(s)

- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number .
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
(B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

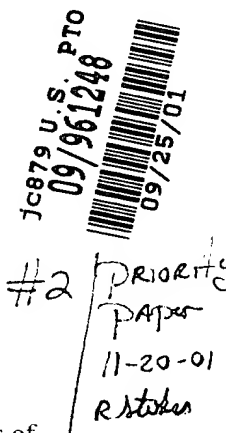
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 10/98)



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

Jc879 U.S. PTO
09/961248
09/25/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 9月27日

出 願 番 号

Application Number:

特願2000-294316

出 願 人

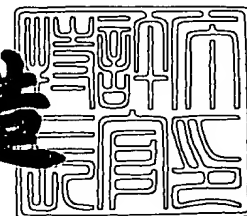
Applicant (s):

株式会社東芝

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3012423

【書類名】 特許願

【整理番号】 A000005103

【提出日】 平成12年 9月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 電力用半導体素子

【請求項の数】 6

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マ
イクロエレクトロニクスセンター内

【氏名】 服部 秀隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電力用半導体素子

【特許請求の範囲】

【請求項 1】 第 1 導電型ベース層と、

前記第 1 導電型ベース層の一方の表面に選択的に形成された第 2 導電型ベース層と、

前記第 2 導電型ベース層の表面に選択的に形成された第 1 導電型エミッタ層またはソース層と、

前記第 1 導電型ベース層の他方の表面上に形成された、あるいは、一方の表面上に選択的に形成されたコレクタ層またはドレイン層と、

前記コレクタ層またはドレイン層上に設けられた第 1 の主電極と、

前記第 1 導電型エミッタ層またはソース層上に設けられるとともに前記第 2 導電型ベース層上に設けられた第 2 の主電極と、

前記第 1 導電型エミッタ層またはソース層と前記第 1 導電型ベース層間の前記第 2 導電型ベース層上に設けられた第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜を介して設けられたゲート電極とを具備し、

前記第 2 のゲート絶縁膜のキャパシタンスの容量は、前記第 1 のゲート絶縁膜のキャパシタンスの容量とは異なっていることを特徴とする電力用半導体素子。

【請求項 2】 上記第 1 のゲート絶縁膜は上記第 1 導電型エミッタ層またはソース層に近い位置に設けられ、上記第 2 のゲート絶縁膜は上記第 1 導電型ベース層に近い位置に設けられていることを特徴とする請求項 1 記載の電力用半導体素子。

【請求項 3】 前記第 2 のゲート絶縁膜の厚さは、前記第 1 のゲート絶縁膜の厚さよりも大きいことを特徴とする請求項 2 記載の電力用半導体素子。

【請求項 4】 前記第 2 のゲート絶縁膜の比誘電率は、前記第 1 のゲート絶縁膜の比誘電率よりも小さいことを特徴とする請求項 2 記載の電力用半導体素子。

【請求項 5】 前記第 2 のゲート絶縁膜の厚みは勾配を持ち、前記第 1 導電型エミッタ層またはソース層側の厚みは、前記第 1 導電型ベース層側の厚みより

も小さいことを特徴とする請求項 2 記載の電力用半導体素子。

【請求項 6】 前記ゲート電極は、前記第 1 導電型エミッタ層またはソース層の表面から前記第 2 導電型ベース層を貫通して前記第 1 導電型ベース層の途中の深さまで達するように形成されたトレンチの内部に前記第 1 のゲート絶縁膜と前記第 2 のゲート絶縁膜とを介して埋め込まれているトレンチ構造を有することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の電力用半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、インバータなど電力変換装置を構成する電力半導体素子のなかで、I G B T、パワー M O S F E T に係り、特に負荷短絡耐量を向上させた素子構造に関する。

【0002】

【従来の技術】

近年のパワーエレクトロニクス分野における電源機器の小型化、高性能化への要求を受けて、電力用半導体素子では、高耐圧化、大電流化と共に、低損失化、高破壊耐量化、高速化に対する性能改善が注力されている。特に高耐圧化、高電流化という点で、300V 程度以上の耐圧を有する電力用半導体素子としてパワー M O S F E T よりも低オン電圧を得ることができる I G B T が用いられている。

【0003】

この種の I G B T としては、ゲートを平板状に設けたプレーナ構造およびゲートを構内に埋め込み形成したトレンチ構造の 2 種類が広く知られている。

【0004】

図 1 1 は、この種のプレーナ構造を有する I G B T の構成を示す断面図である。この I G B T では、高抵抗の n 型ベース層 1 0 1 の表面に高濃度の p 型コレクタ層 1 0 2 が形成され、他方の面には、選択的に p 型ベース層 1 0 6 が形成され、さらに、p 型ベース層 1 0 6 内には、n 型エミッタ層 1 0 7 が選択的に形成されている。

【 0 0 0 5 】

n 型ベース層 1 0 1 上と p 型ベース層 1 0 6 上の一部および n 型エミッタ層 1 0 7 上の一部にゲート酸化膜 1 0 3 が設けられている。また、エミッタ電極 1 0 9 が、p 型ベース層 1 0 6 と n 型エミッタ層 1 0 7 に設けられる。ゲート電極 1 0 5 は、ゲート酸化膜 1 0 3 と層間絶縁膜 1 0 4 によってエミッタ電極 1 0 9 および n 型ベース層 1 0 1 および p 型ベース層 1 0 6 と絶縁されている。

【 0 0 0 6 】

n 型ベース層 1 0 1、p 型ベース層 1 0 6、n 型エミッタ層 1 0 7、ゲート電極 1 0 5 によって、CH をチャネル領域とする電子注入用 MOSFET が構成されている。さらに、n 型エミッタ層 1 0 7 と p 型ベース層 1 0 6 上には両方に接するようにエミッタ電極 1 0 9 が設けられている。

【 0 0 0 7 】

上記構造において従来のプレーナ構造の IGBT では、n 型エミッタ層 1 0 7 と p 型ベース層 1 0 6 は、それぞれ不純物の注入および熱拡散によって形成されるために、それらの不純物分布はガウス分布に準じる分布となることから、チャネル領域 CH に沿った不純物濃度分布をみると n 型エミッタ層 1 0 7 と p 型ベース層 1 0 6 との接合付近に p 型不純物濃度の最高値があり、p 型ベース層 1 0 6 と n 型ベース層 1 0 1 の接合付近に近づくほど徐々に p 型不純物濃度が下がっていく。

【 0 0 0 8 】

次に IGBT の動作を説明する。プレーナ構造の IGBT とトレンチ構造の IGBT は、動作原理は同様であるので以下では、プレーナ構造の IGBT の動作を説明する。

【 0 0 0 9 】

コレクタ電極 1 0 8 に正電圧、エミッタ電極 1 0 9 に負電圧が印加されているとき、エミッタ電極 1 0 9 より正となる正電圧をゲート電極 1 0 5 に印加すると、p 型ベース層 1 0 6 のゲート電極 1 0 5 に接した表面が n 型に反転し、電子 e が n 型エミッタ層 1 0 7 から反転層を介して n 型ベース層 1 0 1 に注入されて p 型コレクタ層 1 0 2 に達する。これによって n 型ベース層 1 0 1 と p 型コレクタ

層 1 0 2 が順バイアスされて、p 型コレクタ層 1 0 2 から正孔 h が n 型ベース層 1 0 1 に注入される。このように、n 型ベース層 1 0 1 に電子 e と正孔 h の両方が注入され、n 型ベース層 1 0 1 領域で電導率変調が起こってオン電圧が低減される。すなわち、素子が導通状態になる。

【0 0 1 0】

一方、ターンオフするには、ゲート電極 1 0 5 にエミッタ電極 1 0 9 に対して負の電圧が印加される。これにより、ゲート電極 1 0 5 に接した p 型ベース層 1 0 6 の表面に形成されていた反転層が消失して、電子注入が停止する。一方、n 型ベース層 1 0 1 内に蓄積されていた正孔 h は、その一部が p 型ベース層 1 0 6 を介してエミッタ電極 1 0 9 に排出され、残りの正孔 h が電子 e と再結合して消滅し、素子はターンオフする。

【0 0 1 1】

ここで素子が負荷短絡状態になった場合、素子は導通状態でコレクタ電極 1 0 8 に電源電圧が印加される。これによって素子には大きな短絡ピーク電流 (I_{cp}) が流れ、ある一定時間 (t_{sc}) で素子は破壊する。従来の IGBT では、チャネル密度を大きくするとオン電圧を低減することができたが、一方でチャネル密度の増加は電流を流し易くなる結果、短絡ピーク電流 (I_{cp}) を大きくし負荷短絡耐量 (t_{sc}) が小さくなるという問題があった。

【0 0 1 2】

【発明が解決しようとする課題】

以上述べたように、従来の半導体素子では、負荷短絡耐量が小さいという問題がある。

【0 0 1 3】

本発明は上記事情を考慮してなされたもので、低いオン電圧を維持しつつ高い負荷短絡耐量を同時に実現し得る電力用半導体素子を提供することにある。

【0 0 1 4】

【課題を解決するための手段】

上記の目的を達成するために、第 1 の発明は電力用半導体素子であって、第 1 導電型ベース層と、前記第 1 導電型ベース層の一方の表面に選択的に形成された

第 2 導電型ベース層と、前記第 2 導電型ベース層の表面に選択的に形成された第 1 導電型エミッタ層またはソース層と、前記第 1 導電型ベース層の他方の表面上に形成された、あるいは、一方の表面上に選択的に形成されたコレクタ層またはドレイン層と、前記コレクタ層またはドレイン層上に設けられた第 1 の主電極と、前記第 1 導電型エミッタ層またはソース層上に設けられるとともに前記第 2 導電型ベース層上に設けられた第 2 の主電極と、前記第 1 導電型エミッタ層またはソース層と前記第 1 導電型ベース層間の前記第 2 導電型ベース層上に設けられた第 1 のゲート絶縁膜及び第 2 のゲート絶縁膜を介して設けられたゲート電極とを具備し、前記第 2 のゲート絶縁膜のキャパシタンスの容量は、前記第 1 のゲート絶縁膜のキャパシタンスの容量とは異なっている。

【 0 0 1 5 】

また、第 2 の発明は、第 1 の発明に係る電力用半導体素子において、上記第 1 のゲート絶縁膜は上記第 1 導電型エミッタ層またはソース層に近い位置に設けられ、上記第 2 のゲート絶縁膜は上記第 1 導電型ベース層に近い位置に設けられている。

【 0 0 1 6 】

また、第 3 の発明は、第 2 の発明に係る電力用半導体素子において、前記第 2 のゲート絶縁膜の厚さは、前記第 1 のゲート絶縁膜の厚さよりも大きい。

【 0 0 1 7 】

また、第 4 の発明は、第 2 の発明に係る電力用半導体素子において、前記第 2 のゲート絶縁膜の比誘電率は、前記第 1 のゲート絶縁膜の比誘電率よりも小さい。

【 0 0 1 8 】

また、第 5 の発明は、第 2 の発明に係る電力用半導体素子において、前記第 2 のゲート絶縁膜の厚みは勾配を持ち、前記第 1 導電型エミッタ層またはソース層側の厚みは、前記第 1 導電型ベース層側の厚みよりも小さい。

【 0 0 1 9 】

また、第 6 の発明は、第 1 乃至第 5 のいずれか 1 項の発明において、前記ゲート電極は、前記第 1 導電型エミッタ層またはソース層の表面から前記第 2 導電型

ベース層を貫通して前記第 1 導電型ベース層の途中の深さまで達するように形成されたトレンチの内部に前記第 1 のゲート絶縁膜と前記第 2 のゲート絶縁膜とを介して埋め込まれているトレンチ構造を有する。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態（以下、実施形態という）を説明する。

【 0 0 2 1 】

（第 1 の実施形態）

図 1 は、本発明の第 1 の実施形態である電力用半導体素子の断面図である。以下、電力用半導体素子の一例としてプレーナ構造を有する I G B T を用いて説明する。以下の全ての実施形態では第 1 導電型層として n 型、第 2 導電型層として p 型を用いる。

【 0 0 2 2 】

図中、1 は高抵抗の n 型ベース層を示しており、この n 型ベース層 1 の一方の面には、高不純物濃度の p 型コレクタ層 2 が形成されている。

【 0 0 2 3 】

また、ゲート絶縁膜 3 およびゲート絶縁膜 3 と同じ材質ではあるが厚さの異なるゲート絶縁膜 1 0 を介してゲート電極 5 が形成されている。n 型ベース層 1 の表面には p 型ベース層 6 が形成されている。この p 型ベース層 6 の表面には、高不純物濃度の n 型エミッタ層 7 が形成されている。

【 0 0 2 4 】

また、上記 p 型ベース層 6 は、不純物の注入および熱拡散によって形成されることから、不純物濃度分布はガウス分布に準じる分布になっており、チャネル領域 C H においても同様である。

【 0 0 2 5 】

n 型ベース層 1、p 型ベース層 6、n 型エミッタ層 7、ゲート絶縁膜 3、ゲート絶縁膜 1 0 およびゲート電極 5 によって、ゲート絶縁膜 3 およびゲート絶縁膜 1 0 と p 型ベース層 6 の界面にチャネル C H が形成され n 型エミッタ層 7 から n

型ベース層 1 に電子を注入する MOSFET を構成している。

【 0 0 2 6 】

p 型コレクタ層 2 上にはコレクタ電極 8 が設けられている。また、n 型エミッタ層 7 および p 型ベース層 6 上にはエミッタ電極 9 が設けられている。n 型エミッタ層 7 と p 型ベース層 6 はこのエミッタ電極 9 によって短絡している。また、ゲート電極 5 上には層間絶縁膜 4 が設けられていて、エミッタ電極 9 と接しないようになっている。

【 0 0 2 7 】

次にこの IGBT の動作を以下に説明する。ターンオン時には、エミッタ電極 9 とコレクタ電極 8 との間にコレクタ電圧 V_{CE} が印加された状態で、エミッタ電極 9 とゲート電極 5 との間に所定の正のゲート電圧 V_{GE} を印加すると、チャネル領域 CH が n 型に反転しチャネルが形成される。このチャネルを通じてエミッタ電極 9 から電子が n 型ベース層 1 に注入される。この注入された電子により p 型コレクタ層 2 と n 型ベース層 1 との間が順バイアスされ、正孔が p 型コレクタ層 2 より n 型ベース層 1 に注入される。この結果、伝導度変調により n 型ベース層 1 の抵抗が大幅に低減して通電する。

【 0 0 2 8 】

一方ターンオフするには、ゲート電極 5 にエミッタ電極 9 に対して負の電圧が印加される。これによって、p 型ベース層 6 とゲート絶縁膜 3 およびゲート絶縁膜 10 に接した位置に形成されていた反転層が消失して、電子注入が停止する。一方、n 型ベース層 1 内に蓄積されていた正孔 h は、その一部が p 型ベース層 6 を介してエミッタ電極 9 に排出され、残りの正孔 h が電子 e と再結合して消滅し、素子はターンオフする。

【 0 0 2 9 】

ここで素子が負荷短絡状態になった場合、素子は導通状態でコレクタ電極 8 に電源電圧が印加され、これによって素子には短絡ピーク電流 (I_{cp}) が流れ、ある一定時間 (t_{sc}) で素子は破壊する。負荷が短絡してから素子破壊に至るまでの時間が負荷短絡耐量 (t_{sc}) である。

【 0 0 3 0 】

ここで、この I G B T の短絡ピーク電流が大きくなると負荷短絡耐量は小さくなることが確認されている。この理由は短絡ピーク電流による熱破壊である。本発明による新構造の I G B T では、短絡ピーク電流とほぼ同じ静特性で電流の飽和値を小さくすることによって負荷短絡耐量を大きくすることができる。

【 0 0 3 1 】

以下に上記した本発明の構成により負荷短絡耐量が向上する理由を述べる。

【 0 0 3 2 】

一般に、オン状態にある I G B T にさらにコレクタ電圧 V_{CE} を増大すると、それに伴って p 型ベース層 6 のチャネル部分 C H の点 Q 2 での電位も上昇し、ゲート電位と点 Q 2 でのベース電位との電位差がしきい値電圧よりも小さくなり反転層を維持することが出来なくなって空乏化（ピンチオフ）し抵抗が無限大となり、I G B T の電流は飽和する。しきい値電圧は、ゲート絶縁膜のキャパシタンスの容量と反比例の関係があり、キャパシタンス容量が増大するにつれ、しきい値電圧は低下する。

【 0 0 3 3 】

本実施形態ではチャネル部分 C H において、しきい値電圧は、上記のしきい値電圧とゲート絶縁膜のキャパシタンスの関係よりゲート絶縁膜 3 に接する p 型ベース層 6 領域よりもゲート絶縁膜 3 の膜厚よりも厚い膜厚を有するゲート絶縁膜 1 0 に接する p 型ベース層 6 領域の点 Q 2 で決まり、したがって、ピンチオフもこのゲート絶縁膜 1 0 に接する p 型ベース層 6 領域の点 Q 2 で起こる。

【 0 0 3 4 】

次に従来の I G B T の電流の飽和値よりも本発明の I G B T の電流の飽和値が小さくなることを示す。図 7 は、縦軸に n 型エミッタ層 7 とエミッタ電極 9 の境界を原点にとりエミッタ電極 9 からコレクタ電極 8 への距離を示し、横軸にエミッタ電極 9 を基準（接地）とした電圧分布を、図 1 1（従来技術のプレーナ I G B T）の X - X' と図 1（本発明のプレーナ I G B T）の A - A' のそれぞれに対して示している。

【 0 0 3 5 】

この図 7 より、従来の I G B T は、ピンチオフする電圧 V_{pin} と、ピンチオフ

点Q1からn型ベース層101までのチャネル部分の抵抗による電圧 V_{pin-ch} と、n型ベース層101とp型コレクタ層102間の電圧 $V_{ch-coll}$ とを合わせたもの($V_{pin} + V_{pin-ch} + V_{ch-coll} = V_{CE(1)}$)がコレクタ電圧 V_{CE} であり、IGBTの飽和の電流値はこのコレクタ電圧 V_{CE} の二乗で変換する。

【0036】

本発明は、ピンチオフ点をゲート絶縁膜10に接するp型ベース層6領域の点Q2にシフトさせることにより、ピンチオフ点Q2からn型ベース層1との間のチャネル部分の抵抗による電圧 V_{pin-ch} を取り除くことにより、コレクタ電圧が、ピンチオフ電圧 V_{pin} と、n型ベース層1とp型コレクタ層3間の電圧 $V_{ch-coll}$ との足し合わせになるようにしている($V_{pin} + V_{ch-coll} = V_{CE(2)}$)。

【0037】

したがって、本発明のコレクタ電圧 V_{CE} は従来のコレクタ電圧 V_{CE} よりも小さく、これによって、本発明によるIGBTの飽和の電流値も従来のIGBTでの飽和の電流値にくらべて小さくなる。

【0038】

図8は、ゲート酸化膜下の不純物濃度分布を示す図であり、n型エミッタ層7、p型ベース層6、n型ベース層1の不純物濃度を示している。図に示すように、p型ベース層6の不純物濃度は、エミッタ側表面においてエミッタ側にピークを持つガウス分布に準じる分布になっている。

【0039】

図9は、上記のシミュレーションの結果である。具体的には、従来のIGBTでは、p型ベース層107上のゲート絶縁膜103の膜厚が1000オングストロームで、この時の飽和電流値が $6800 A/cm^2$ であるのに対して、本発明では、p型ベース層6上のゲート酸化膜3を従来のIGBTでのゲート酸化膜103の膜厚と同じ1000オングストロームの膜厚に保ちつつ、ゲート絶縁膜10の膜厚を $1 \mu m$ にした場合、この時の飽和電流値は $1700 A/cm^2$ となった。研究の結果、この飽和電流値に対応する負荷短絡耐量(t_{sc}) (短絡ピーク電流 I_{cp} が流れてから素子の短絡保護回路の動作が開始するまでの所要時間)は $10 \mu s$ 以上得られることを確認した。

【 0 0 4 0 】

したがって、負荷短絡耐量と I G B T の電流の飽和値との関係から、本発明の電流の飽和値を小さくする方法によって、負荷短絡耐量を大きくすることが出来る。

【 0 0 4 1 】

(第 2 の実施形態)

図 2 は、本発明の第 2 の実施形態である電力用半導体素子の断面図である。本実施形態と前述した第 1 の実施形態を示す図 1 との違いは、n 型ベース層 1 の表面に接するゲート絶縁膜が、第 1 の実施形態の図 1 ではゲート絶縁膜 3 であったが、本実施形態では、ゲート絶縁膜 3 よりも膜厚の厚いゲート絶縁膜 1 0 であるところである（テラス型ゲート）。図 2 のプレーナ I G B T の動作は、前述した図 1 のプレーナ I G B T の動作と比べて基本的には同じであり、しきい値電圧はゲート絶縁膜 1 0 と接する p 型ベース層 6 領域内で決まることから、ピンチオフは、このゲート絶縁膜 1 0 と接する p 型ベース層 6 の領域内の Q 2 で起こる。

【 0 0 4 2 】

本実施形態では、n 型ベース層 1 領域内に接するゲート絶縁膜をゲート絶縁膜 1 0 にすることによりゲート絶縁膜のキャパシタンス容量が、n 型ベース層 1 領域内にゲート絶縁膜 3 を有する図 1 に比べて小さくすることができることにより、ターンオン、ターンオフに要する時間を図 1 よりも短くすることができる。また、製造工程もより容易である。

【 0 0 4 3 】

(第 3 の実施形態)

図 3 は、本発明の第 3 の実施形態である電力用半導体素子の断面図である。本実施形態と前述した第 1 の実施形態を示す図 1 との違いは、図 1 のゲート絶縁膜 3 が、本実施形態の図 3 での勾配をもつゲート酸化膜 1 1 に対応している点である。このゲート絶縁膜 1 1 は、p 型ベース層 6 と n 型ベース層 1 との接合部分上にあるゲート絶縁膜の膜厚を、n 型エミッタ層 7 と p 型ベース層 6 との接合部分上にあるゲート絶縁膜の膜厚よりも厚く、n 型エミッタ層 7 と p 型ベース層 6 との接合部分に近づくにつれゲート絶縁膜の膜厚が徐々に薄くなるよう勾配がつい

ていることが特徴である。

【 0 0 4 4 】

図 3 のプレーナ I G B T の動作は、前述した第 1 の実施形態における図 1 のプレーナ I G B T の動作とくらべて基本的には同じである。本実施形態においては、ゲート絶縁膜 1 1 は p 型ベース層 6 と n 型ベース層 1 の接合に近づくにつれ膜厚は厚くなることから、しきい値電圧も p 型ベース層 6 と n 型ベース層 1 の接合に近づくにつれ徐々に高くなる。したがって、前述した図 1 のプレーナ I G B T と同様に点 Q 2 でピンチオフがおり、前述した第 1 の実施形態における負荷短絡耐量が向上する理由と同様の理由により、負荷短絡耐量を向上することができる。

【 0 0 4 5 】

(第 4 の実施形態)

図 4 は、本発明の第 4 の実施形態である電力用半導体素子の断面図である。図 4 と第 1 の実施形態の図 1 との違いは、図 1 においては、ゲート絶縁膜 3 とゲート絶縁膜 1 0 との材質が同じであり、したがって、比誘電率も同じであるが、本実施形態の図 4 においては、ゲート絶縁膜 3 とゲート絶縁膜 1 2 とは材質が異なり、したがって、比誘電率も異なる。本実施形態のゲート絶縁膜の例として、例えば、ゲート絶縁膜 3 に五酸化タンタル (Ta_2O_5) (比誘電率 22) あるいは、窒化シリコン (Si_3N_4) (比誘電率 7) を用いて、ゲート絶縁膜 1 2 に二酸化シリコン (SiO_2) (比誘電率 3.9) を用いることである。これによって、2 つのゲート絶縁膜の膜厚がゲート絶縁膜 3 とゲート絶縁膜 1 2 と同じであっても、2 つのゲート絶縁膜のキャパシタンス容量は異なることになる。しきい値電圧は、ゲート絶縁膜キャパシタンス容量がゲート絶縁膜 3 にくらべ小さいゲート絶縁膜 1 2 によってきまり、ピンチオフは、ゲート絶縁膜 1 2 と接する p 型ベース層 6 のチャネル領域 C H 点 Q 2 において起こる。

【 0 0 4 6 】

したがって、前述した第 1 の実施形態における負荷短絡耐量が向上する理由と同様の理由により、負荷短絡耐量を向上することができる。

【 0 0 4 7 】

(第5の実施形態)

図5は、本発明の第5の実施形態である電力用半導体素子（横型IGBT）の断面図である。図5中、401は高抵抗のn型ベース層であり、このn型ベース層401の一方の面には、p型基板層404が形成されており、このp型基板層404上にはエミッタ電極410が設けられている。また、n型ベース層401の他方の面には、選択的にp型ベース層407が形成されており、このp型ベース層407の表面には選択的に高不純物濃度のn型エミッタ層409が形成される。また、前記n型ベース層401の他方の面には、選択的にn型バッファ層403が形成されており、このn型バッファ層403の表面には選択的に高不純物濃度のp型コレクタ層402が形成され、このp型コレクタ層402に接してコレクタ電極411が形成されている。

【0048】

前記p型ベース層407上の一部、p型ベース層408上、n型ベース層401上の一部およびn型バッファ層上にゲート絶縁膜412が、さらにp型ベース層407上の一部分には、ゲート絶縁膜408が設けられている。このゲート絶縁膜408は、ゲート絶縁膜412と膜厚あるいは比誘電率が異なることによりゲート絶縁膜のキャパシタンス容量が異なっている。ゲート絶縁膜412およびゲート絶縁膜408上にはゲート電極406が設けられている。このゲート電極406上には層間絶縁膜405が設けられており、それに開口されたコンタクトホールを介して前記n型エミッタ層409上の一部およびp型ベース層407上の一部にコンタクトするようにエミッタ電極410が設けられている。なお、前記ゲート電極406は、ゲート絶縁膜412とゲート絶縁膜408と層間絶縁膜405によって、エミッタ電極410、コレクタ電極411、n型ベース層401およびp型ベース層407とは、絶縁されている。

【0049】

図5の横形IGBTの動作は、前述した第1の実施形態における図1のプレーナIGBTの動作とくらべて基本的には同じである。本実施形態においては、ゲート絶縁膜408下のp型ベース層407のチャネル部分CH点Q2でしきい値電圧が決まる。したがって、前述した図1のプレーナIGBTと同様に点Q2で

ピンチオフがおこり、前述した第 1 の実施形態における負荷短絡耐量が向上する理由と同様の理由により、負荷短絡耐量を向上することができる。

【 0 0 5 0 】

(第 6 の実施形態)

図 6 は、本発明の第 6 の実施形態である電力用半導体素子（トレンチ I G B T ）の断面図である。

【 0 0 5 1 】

図中、3 0 1 は高抵抗の n 型ベース層を示しており、この n 型ベース層 3 0 1 の一方の面には、高不純物濃度の p 型コレクタ層 3 0 2 が形成されている。

【 0 0 5 2 】

また、トレンチ 3 0 3 の内部には、ゲート絶縁膜 3 0 4 およびゲート絶縁膜 3 1 1 を介してゲート電極 3 0 5 が埋め込み形成されている。各トレンチ 3 0 3 で挟まれた領域の n 型ベース層 3 0 1 の表面には高不純物濃度の p 型ベース層 3 0 6 が形成されている。

【 0 0 5 3 】

この p 型ベース層 3 0 6 の表面には高不純物濃度の n 型エミッタ層 3 0 7 が形成されている。n 型ベース層 3 0 1、p 型ベース層 3 0 6、n 型エミッタ層 3 0 7、ゲート絶縁膜 3 0 4、ゲート絶縁膜 3 1 1 およびゲート電極 3 0 5 によって、トレンチ 3 0 3 に接した p 型ベース層 3 0 6 の表面にチャネル C H が形成され n 型エミッタ層 3 0 7 から n 型ベース層 3 0 1 に電子を注入する M O S F E T を構成している。

【 0 0 5 4 】

p 型コレクタ層 3 0 2 上にはコレクタ電極 3 0 8 が設けられている。また、n 型エミッタ層 3 0 7 および p 型ベース層 3 0 6 上にはエミッタ電極 3 0 9 が設けられている。n 型エミッタ層 3 0 7 と p 型ベース層 3 0 6 はこのエミッタ電極 3 0 9 によって短絡している。また、ゲート電極 3 0 5 上には層間絶縁膜 3 1 0 が設けられていて、エミッタ電極 3 0 9 と接しないようになっている。

【 0 0 5 5 】

次にこの I G B T の動作を以下に説明する。ターンオン時には、エミッタ電極

309とコレクタ電極308との間にコレクタ電圧 V_{CE} が印加された状態で、エミッタ電極309とゲート電極305との間に所定の正のゲート電圧 V_{GE} を印加すると、チャネル領域がn型に反転しチャネルCHが形成される。このチャネルCHを通じてエミッタ電極309から電子がn型ベース層301に注入される。この注入された電子によりp型コレクタ層302とn型ベース層301との間が順バイアスされ、正孔がp型コレクタ層302よりn型ベース層301に注入される。この結果、伝導度変調によりn型ベース層301の抵抗が大幅に低減して通電する。

【0056】

一方ターンオフするには、ゲート電極305にエミッタ電極309に対して負の電圧が印加される。これによって、p型ベース層306のゲート電極305に接した位置に形成されていた反転層が消失して、電子注入が停止する。一方、n型ベース層内に蓄積されていた正孔hは、その一部がp型ベース層306を介してエミッタ電極309に排出され、残りの正孔hが電子eと再結合して消滅し、素子はターンオフする。

【0057】

ここで素子が負荷短絡状態になった場合、素子は導通状態でコレクタ電極308に電源電圧が印加され、これによって素子には短絡ピーク電流(I_{cp})が流れ、ある一定時間(t_{sc})で素子は破壊する。負荷が短絡してから素子破壊に至るまでの時間が負荷短絡耐量(t_{sc})である。

【0058】

ここで、このIGBTの短絡ピーク電流が大きくなると負荷短絡耐量は小さくなることが確認されている。この理由は短絡ピーク電流による熱破壊である。本発明による新構造のIGBTでは、短絡ピーク電流とほぼ同じ静特性での電流の飽和値を小さくすることによって負荷短絡耐量を大きくすることができる。

【0059】

以下、本発明で負荷短絡耐量が向上する理由を述べる。

【0060】

一般に、オン状態にあるIGBTにさらにコレクタ電圧 V_{CE} を増大すると、

それに伴って p 型ベース層 3 0 6 のチャネル部分 C H の点 Q 2 での電位も上昇し、ゲート電位と点 Q 2 でのベース電位との電位差が閾値電圧よりも小さくなり反転層を維持することが出来なくなって空乏化（ピンチオフ）し抵抗が無限大となり、I G B T の電流は飽和する。本実施形態では、チャネル部分 C H において閾値電圧は、第 1 の実施形態と同様の理由により、ゲート絶縁膜 3 1 1 で決まる。したがって、ピンチオフもこのゲート絶縁膜 3 1 1 に接する p 型ベース層 3 0 6 の点 Q 2 で起こる。

【 0 0 6 1 】

次に従来の I G B T の電流の飽和値よりも本発明の I G B T の電流の飽和値が小さくなることを示す。

【 0 0 6 2 】

本発明は、ピンチオフ点をゲート絶縁膜 3 1 1 に接する p 型ベース層 3 0 6 にシフトさせることによりピンチオフ点から n 型ベース層 3 0 7 との間のチャネル部分の抵抗による電圧 $V_{\text{pin-ch}}$ を取り除くことにより、コレクタ電圧が、ピンチオフ電圧 V_{pin} と、n 型ベース層 3 0 1 と p 型コレクタ層 3 0 2 間の電圧 $V_{\text{ch-coll}}$ との足し合わせになるようにしている ($V_{\text{pin}} + V_{\text{ch-coll}} = V_{\text{CE}(2)}$)。したがって、本発明のコレクタ電圧 V_{CE} は従来のコレクタ電圧 V_{CE} よりも小さく、これによって、本発明による I G B T の飽和の電流値も従来の I G B T での飽和の電流値に較べて小さくなる。よって、負荷短絡耐量は向上する。

【 0 0 6 3 】

（第 7 の実施形態）

図 1 0 は、本発明の第 7 の実施形態である電力用半導体素子（パワー M O S F E T）の断面図である。

【 0 0 6 4 】

図 1 0 のパワー M O S F E T は、前述した図 1 のプレーナ I G B T とくらべて、p 型不純物で形成されたコレクタ層 2 の代わりに、n 型不純物で形成されたドレイン層 2 0 2 になり、コレクタ電極 8 がドレイン電極 2 0 8 となり、n 型エミッタ層 7 が n 型ソース層 2 0 7 となり、エミッタ電極 9 がソース電極 2 0 9 となっている点が異なり、その他は同じである。

【 0 0 6 5 】

一般に、オン状態にあるパワーMOSFETにさらにドレイン電圧 V_{SD} を増大すると、それに伴ってp型ベース層206のチャネル部分CHの点Q2での電位も上昇し、ゲート電位と点Q2でのベース電位との電位差が閾値電圧よりも小さくなり反転層を維持することが出来なくなって空乏化（ピンチオフ）し抵抗が無限大となり、パワーMOSFETの電流は飽和する。本実施形態では、チャネル部分CHにおいて閾値電圧は、第1の実施形態と同様の理由により、ゲート絶縁膜210で決まる。したがって、ピンチオフもこのゲート絶縁膜210に接するp型ベース層206の点Q2で起こる。

【 0 0 6 6 】

次に従来のパワーMOSFETの電流の飽和値よりも本発明のパワーMOSFETの電流の飽和値が小さくなることを示す。

【 0 0 6 7 】

本発明は、ピンチオフ点をゲート絶縁膜210に接するp型ベース層206にシフトさせることによりピンチオフ点からn型ソース層207との間のチャネル部分の抵抗による電圧 V_{pin-ch} を取り除くことにより、コレクタ電圧を、ピンチオフ電圧 V_{pin} と、n型ベース層201とp型ドレイン層202間の電圧 $V_{ch-coll}$ との足し合わせになるようにしている（ $V_{pin} + V_{ch-coll} = V_{CE(2)}$ ）。したがって、本発明のドレイン電圧 V_{SD} は従来のドレイン電圧 V_{SD} よりも小さく、これによって、本発明によるパワーMOSFETの飽和の電流値も従来のパワーMOSFETでの飽和の電流値にくらべて小さくなる。よって、負荷短絡耐量は向上する。

【 0 0 6 8 】

【発明の効果】

上述したように本発明によれば、低いオン電圧を維持しつつ、負荷短絡時に生じる短絡ピーク電流を抑えることによって高い負荷短絡耐量を実現し得る電力用半導体素子を提供することができる。

【図面の簡単な説明】

【図1】

本発明の電力用半導体素子の第 1 の実施形態に係わるプレーナ I G B T を示す断面図である。

【図 2】

本発明の電力用半導体素子の第 2 の実施形態に係わるプレーナ I G B T を示す断面図である。

【図 3】

本発明の電力用半導体素子の第 3 の実施形態に係わるプレーナ I G B T を示す断面図である。

【図 4】

本発明の電力用半導体素子の第 4 の実施形態に係わるプレーナ I G B T を示す断面図である。

【図 5】

本発明の電力用半導体素子の第 5 の実施形態に係わるプレーナ I G B T を示す断面図である。

【図 6】

本発明の電力用半導体素子の第 6 の実施形態に係わるプレーナ I G B T を示す断面図。

【図 7】

図 1 1 に示す従来のプレーナ I G B T の X - X ' に沿った電圧分布と、図 1 に示す本発明のプレーナ I G B T の A - A ' に沿った電圧分布とを対比して示す図である。

【図 8】

ゲート絶縁膜下の不純物濃度分布を示す図である。

【図 9】

図 1 のトレンチ I G B T のコレクタ電圧対コレクタ電流静特性をシミュレーションした結果と、従来のプレーナ I G B T のコレクタ電圧対コレクタ電流静特性をシミュレーションした結果とを対比して示す図である。

【図 1 0】

本発明の電力用半導体素子の第 7 の実施形態に係わるプレーナ I G B T を示す

断面図である。

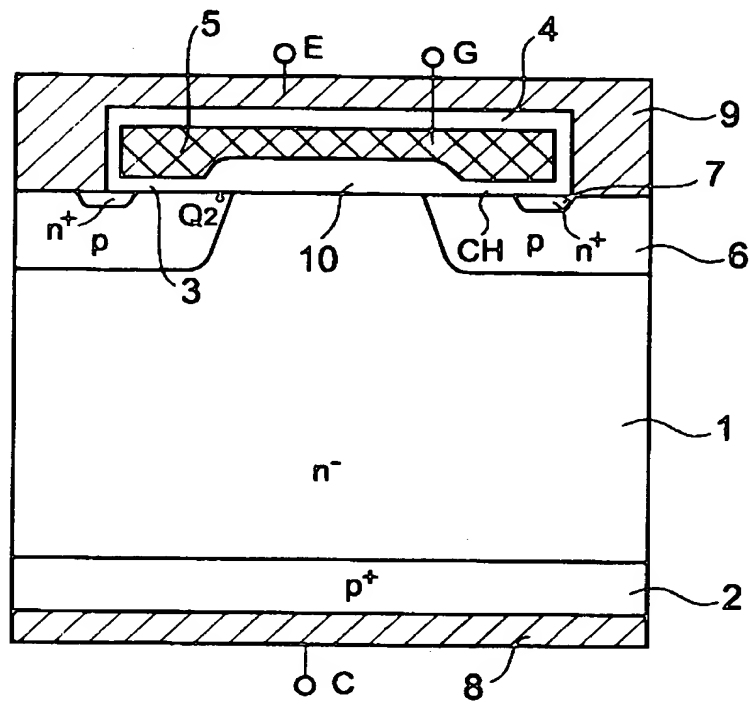
【図 1 1】

従来のプレーナ I G B T を示す断面図である。

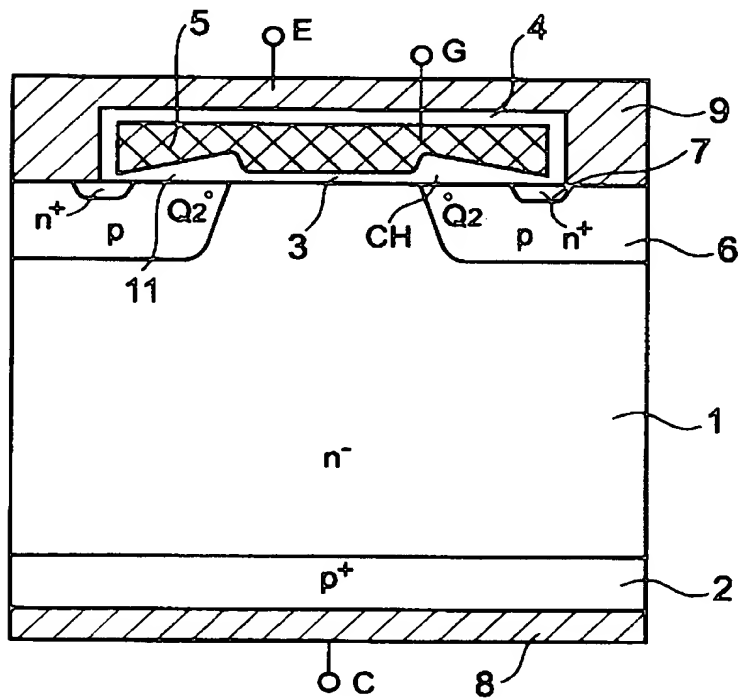
【符号の説明】

- 1 n 型ベース層
- 2 p 型コレクタ層
- 3 ゲート絶縁膜
- 4 層間絶縁膜
- 5 ゲート電極
- 6 p 型ベース層
- 7 n 型エミッタ層
- 8 コレクタ電極
- 9 エミッタ電極
- 1 0 ゲート絶縁膜
- 1 1 ゲート絶縁膜
- 1 2 ゲート絶縁膜

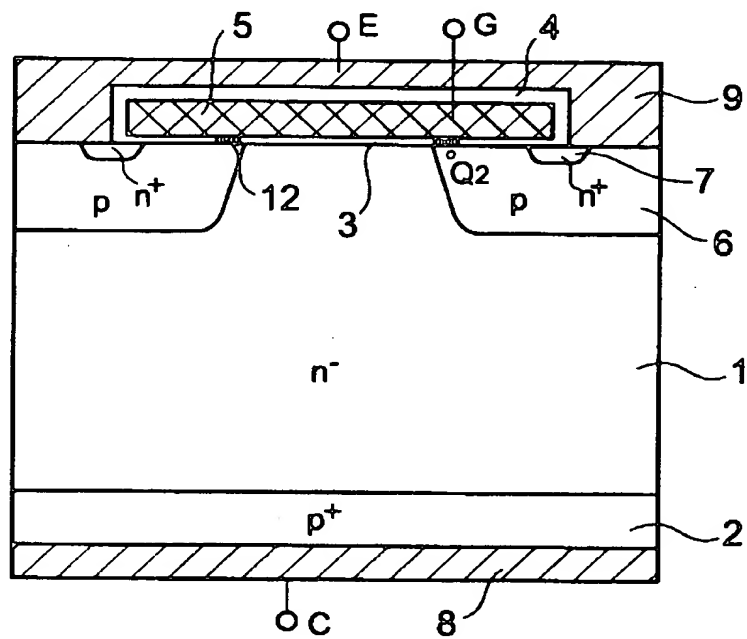
【図 2】



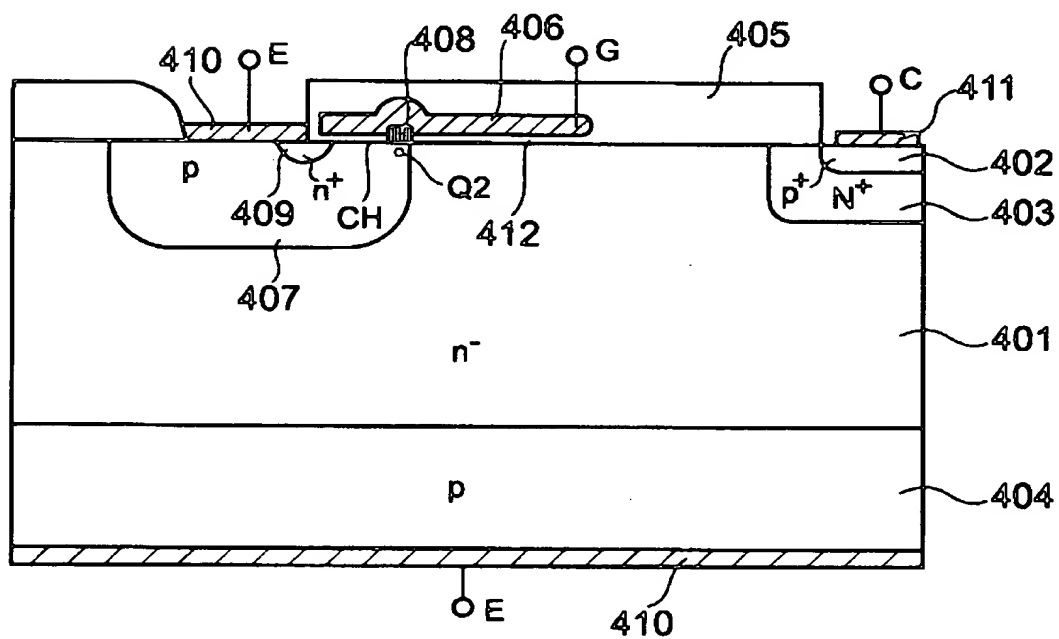
【図 3】



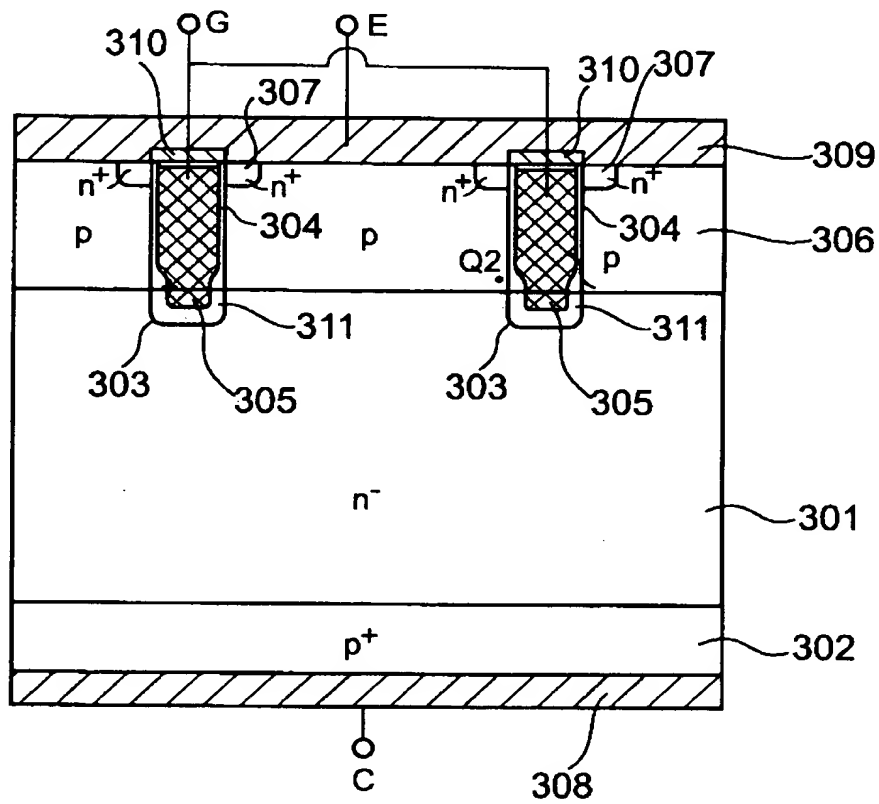
【図 4】



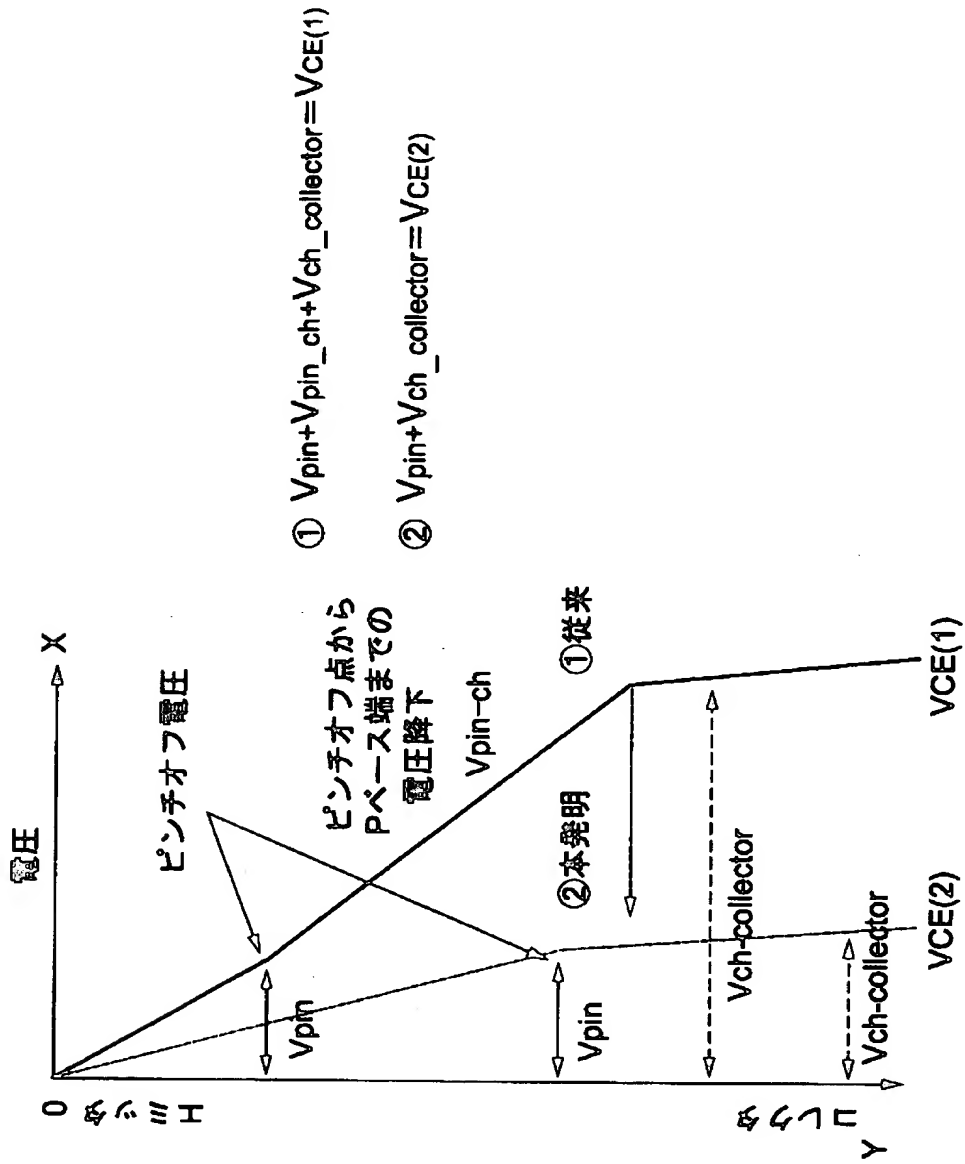
【図 5】



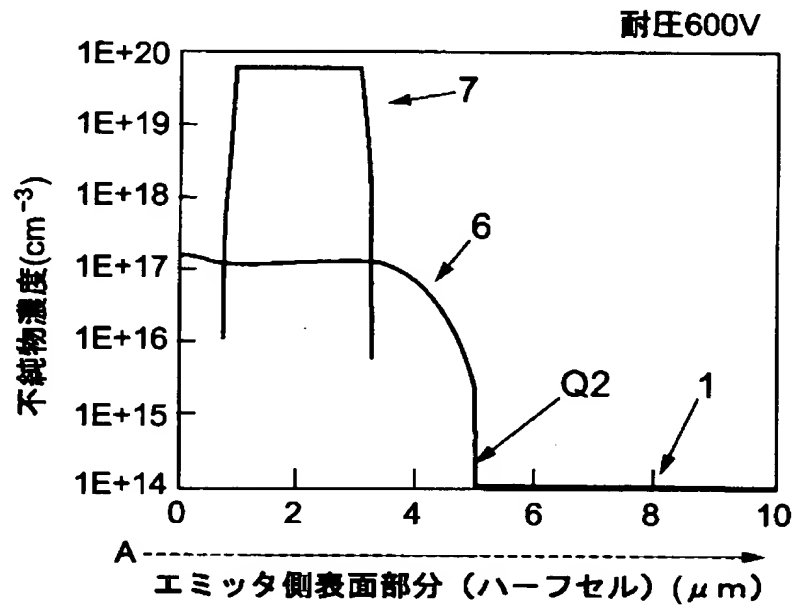
【図 6】



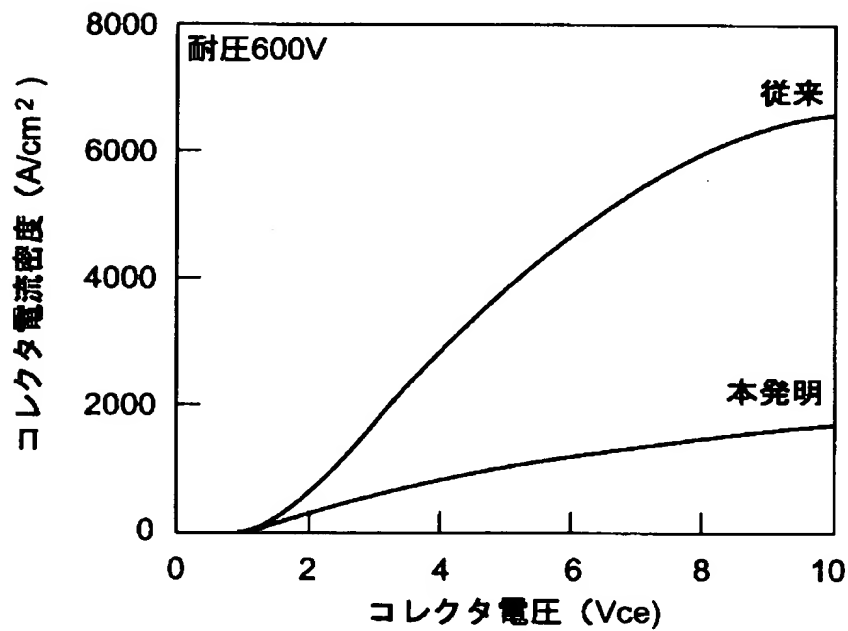
【図 7】



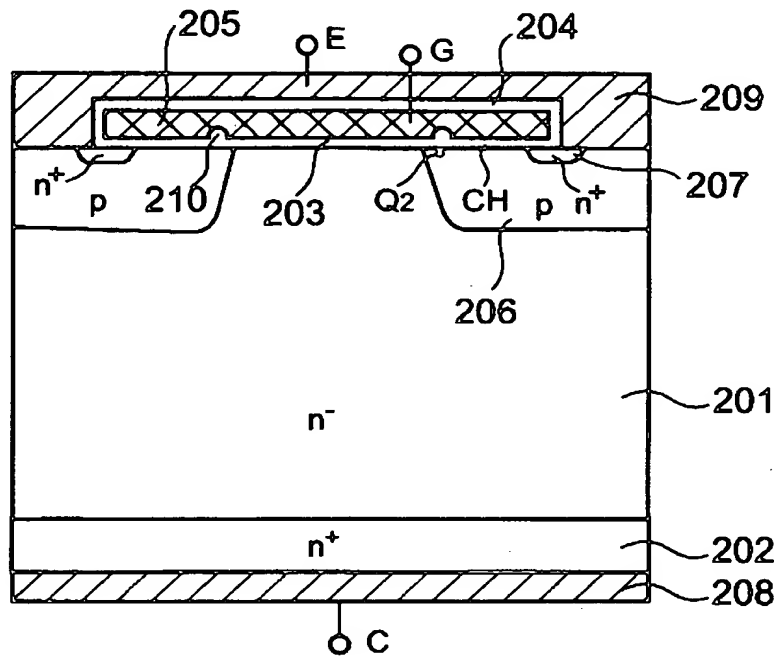
【図 8】



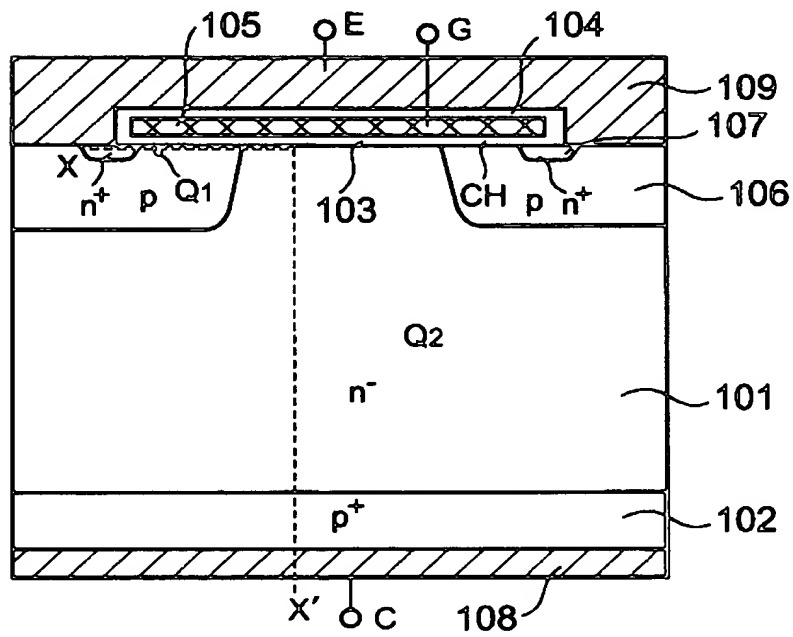
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 低オン電圧を維持しつつ高い負荷短絡耐量を有する電力用半導体素子を提供する。

【解決手段】 第 1 導電型エミッタ層 7 と第 1 導電型ベース層 1 の間の第 2 導電型ベース層 6 上に互いにキャパシタンス容量の異なる第 1 のゲート絶縁膜 3 及び第 2 のゲート絶縁膜 1 0 を設ける。

【選択図】 図 1

出 願 人 履 歷 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝